

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2003-529805
(P2003-529805A)

(43) 公表日 平成15年10月7日 (2003.10.7)

(51) Int.Cl.	識別記号	FI	ナコード (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 H
	6 2 4		6 2 4 B
	6 4 1		6 4 1 D

審査請求 未請求 予備審査請求 未請求 (全 35 頁)

(21) 出願番号 特願2001-573449 (P2001-573449)
 (86) (22) 出願日 平成13年2月27日 (2001.2.27)
 (85) 翻訳文提出日 平成13年11月30日 (2001.11.30)
 (86) 国際出願番号 PCT/EP01/02231
 (87) 国際公開番号 WO01/075852
 (87) 国際公開日 平成13年10月11日 (2001.10.11)
 (31) 優先権主張番号 0008019, 2
 (32) 優先日 平成12年3月31日 (2000.3.31)
 (33) 優先権主張国 イギリス (GB)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), JP, KR

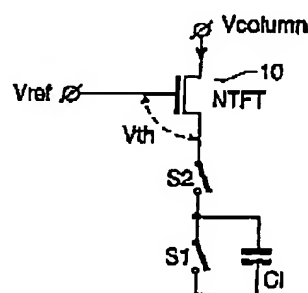
(71) 出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウヅハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (72) 発明者 イアン エム ハンター
 オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6
 (74) 代理人 弁理士 杉村 興作

最終頁に続く

(54) 【発明の名称】 電流アドレス画素を有する表示装置

(57) 【要約】

駆動回路によって電流を供給する、電流アドレス画素を有する表示装置であり、この駆動回路は、スイッチトキャパシタ構成 (C1, S1, S2) に充電電圧を印加するトランジスタ (10) を具え、このスイッチトキャパシタ構成は、キャパシタ (C1) を選択的に所定の速さで充電電圧まで充電及び放電すべく構成してある。トランジスタのスレッシュホールド電圧に応じて調整したトランジスタ制御電圧 (Vref) をトランジスタの制御端子に印加して、前記スレッシュホールド電圧の値にかかわらず、キャパシタ (C1) が前記充電電圧まで充電されることを保証する。これにより、電流アドレス画素を駆動するために用いる、正確に制御可能な電流を供給することが可能になる。



BEST AVAILABLE COPY

(2)

特表2003-529805

【特許請求の範囲】

【請求項1】 電流アドレス型の表示素子を具えた画素を行と列に配置した画素のアレイと、

前記表示素子からの所望の出力に対応する電流信号を発生する駆動回路とを具え、前記駆動回路が、充電電圧をスイッチトキャパシタ構成に印加するためのトランジスタスイッチングデバイスを具え、前記スイッチトキャパシタ構成が、キャパシタと、該キャパシタを選択的に所定の速さで前記充電電圧まで充電及び放電可能にするスイッチとを具えた表示装置において、

前記トランジスタスイッチングデバイスの制御端子にトランジスタ制御電圧を印加して、前記充電電圧を前記スイッチトキャパシタ構成に供給するようにし、そしてトランジスタのスレッシュホールド電圧に応じて前記トランジスタ制御電圧を調整して、これにより、前記スレッシュホールド電圧の値にかかわらず、前記キャパシタが前記充電電圧まで確実に充電されるようにしたことを特徴とする表示装置。

【請求項2】 前記トランジスタ制御電圧を調整するためのサンプリング回路を設け、該サンプリング回路がスイッチとスレッシュホールドキャパシタとを具え、前記サンプリング回路が、前記スレッシュホールドキャパシタをトランジスタのスレッシュホールド電圧まで充電する第1モードと、前記スレッシュホールドキャパシタに蓄積したトランジスタのスレッシュホールド電圧をトランジスタ制御電圧に加算する第2モードとで動作可能であることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記スレッシュホールドキャパシタをトランジスタのゲートとソースの間に接続して、前記スイッチを、前記トランジスタのドレインとゲートを接続するように構成して、前記第1モードにおいて、前記トランジスタをオン状態にするのに十分なドレイン電圧及びゲート電圧を印加するようにしたことを特徴とする請求項2に記載の表示装置。

【請求項4】 前記第2モードにおいて、前記スレッシュホールドキャパシタを前記ソースから絶縁して、前記トランジスタ制御電圧を前記キャパシタに印加して、前記スレッシュホールド電圧分だけ増加させた前記トランジスタ制御電圧を、前記ゲートに印加するようにしたことを特徴とする請求項3に記載の表示装置。

(3)

特表2003-529805

【請求項5】 前記スイッチトキャパシタ構成が、第1対のスイッチ及びこれに関連する第1キャパシタと、第2対のスイッチ及びこれに関連する第2キャパシタとを具え、前記スイッチが、一方のキャパシタの充電と他方のキャパシタの放電とを同時に行うように動作することを特徴とする請求項1から請求項4までのいずれかに記載の表示装置。

【請求項6】 前記スイッチトキャパシタ構成が、前記駆動回路の初期化動作期間中に充電される列キャパシタを具えていることを特徴とする請求項1から請求項5までのいずれかに記載の表示装置。

【請求項7】 差動増幅器の一方の入力に未調整の前記トランジスタ制御電圧を供給し、前記差動増幅器の他方の入力を、前記スイッチトキャパシタ構成に前記充電電圧として供給する電圧にして、前記差動増幅器の出力によって、前記調整したトランジスタ制御電圧を供給することを特徴とする請求項1に記載の表示装置。

【請求項8】 各画素をエレクトロルミネセント表示素子で構成したことを特徴とする請求項1から請求項7までのいずれかに記載のディスプレイ。

【請求項9】 各画素が第1及び第2スイッチング手段を具え、かつ第1モード及び第2モードで動作可能であり、前記第1モードでは、前記第1スイッチング手段によって前記第2スイッチング手段に入力電流を供給し、かつ前記入力電流に対応する制御レベルを前記第2スイッチング手段用に蓄積し、前記第2モードでは、前記蓄積した制御レベルを前記第2スイッチング手段に供給して、前記表示素子を通る前記入力電流に相当する電流を駆動するようにしたことを特徴とする請求項1から請求項8までのいずれかに記載のディスプレイ。

【請求項10】 前記第2スイッチング手段をTFTで構成し、該TFTのソースドレイン電流が前記入力電流となる動作点における前記TFTのゲートソース電圧を、前記制御レベルとしてキャパシタに蓄積することを特徴とする請求項9に記載のディスプレイ。

(4)

特表2003-529805

【発明の詳細な説明】

【0001】

(技術分野)

本発明は、表示装置、特に電流アドレス画素用の制御回路の一部として用いる電流源に関するものである。こうした表示装置は、エレクトロルミネセント（電界発光）表示画素を行と列に配置したアレイで構成することができる。

【0002】

(従来技術)

エレクトロルミネセント発光表示素子を採用したマトリクス表示装置は周知である。これらの表示素子は、例えばポリマー材料を用いた有機薄膜フィルムエレクトロルミネセント素子か、あるいは他には、慣例のIII-V半導体化合物を用いた発光ダイオード（LED）で構成することができる。有機エレクトロルミネセント材料、特にポリマー材料における近年の開発は、これらを特にビデオ表示装置用に使用可能であることを示してきた。これらの材料は通常、一对の電極間にはさまれた1つ以上の半導体の共役ポリマー層で構成され、これらの電極の一方は透明であり、他方はホールまたは電子をこのポリマー層に注入するのに適した材料製である。

【0003】

このポリマー層はCVDプロセスを用いて製造することができ、あるいは単に可溶性の共役ポリマーの溶解を用いたスピニング技術によって製造することができる。有機エレクトロルミネセント材料はダイオード的なI-V特性を示し、このためこれらは表示機能及びスイッチング機能を共に提供することができ、従って受動（パッシブ）型のディスプレイに使用可能である。あるいはまた、これらの材料は、各画素が表示素子及びこの表示素子を通る電流を制御するスイッチング素子を具えたアクティブマトリクス表示装置に用いることができる。アクティブマトリクスエレクトロルミネセントディスプレイの例は、欧州特許A-0653741号及び米国特許第5670792号に記載され、これらの内容は参考文献として本明細書に含める。

【0004】

(5)

特表2003-529805

この種の表示装置が電流アドレス表示素子を有することから、これらの表示装置の問題が生じる。これらの表示素子に可制御の電流を供給する慣例の電源回路は、電流が、電源回路に用いているスイッチングトランジスタの電気的特性の関数として変化するという欠点に影響されうる。例えば、電流制御トランジスタを画素構成の一部として設けて、トランジスタに供給するゲート電圧により、表示素子を通る電流が決まる。異なるトランジスタ特性は、ゲート電圧とソースドレイン電流との関係を異ならせる。こうした構成は、欧州特許A-065374 1号に記載されている。

【0005】

上述したように、電流制御回路を画素構成の一部で構成して画素電圧を画素に供給することも、あるいは電流制御回路を、周辺または表示領域に設けた独立回路で構成して、画素電流を画素に供給することもできる。いずれの場合にも、電流制御回路を表示画素と同じ基板上にまとめる場合には、電流制御回路は通常、薄膜フィルムトランジスタのような薄膜フィルムスイッチング素子で構成される。基板スイッチング素子の電気的特性の基板全体にわたる一様性が貧弱なことがあり、これにより、画素電流に予測し得ない変化が生じ、従って画素出力にも予測し得ない変化が生じる。

【0006】

(発明の開示)

本発明によれば、

各画素が電流アドレス表示素子を具えた画素を行及び列に配置したアレイと；
充電電圧をスイッチトキャパシタ構成に印加するトランジスタスイッチングデバイスを具えて、前記表示素子からの所望の出力に対応する電流信号を発生する駆動回路とを具え、このスイッチトキャパシタ構成が、キャパシタと、このキャパシタを所定の速さで選択的に、充電電圧まで充電及び放電可能にするスイッチとから構成され、

前記トランジスタスイッチングデバイスの制御端子にトランジスタ制御電圧を印加して、前記スイッチトキャパシタ構成に充電電圧が供給されるようにし、そして、トランジスタのスレッシュホールド（動作しきい値）電圧に応じて前記トラン

(6)

特表2003-529805

ジスタ制御電圧を調整して、これにより、前記トランジスタのスレッシュホールドにかかわらず、電圧前記キャパシタが前記充電電圧まで充電されることを保証するような表示装置を提供することができる。

【0007】

本発明の表示装置に用いる駆動回路は、正確に制御可能な電流を供給することを可能にし、この回路は、電流アドレス画素を駆動するのに用いることができる。この回路は、キャパシタ及びトランジスタを用いて実現することができ、従って表示装置のアクティブプレート上にまとめることができ、このプレート上にわたる変化により、トランジスタのスレッシュホールドの変化が補償される。

【0008】

トランジスタの制御電圧を調整するためにサンプリング回路を設けることができ、このサンプリング回路はスイッチ及びスレッシュホールドキャパシタを具え、このスイッチング回路は、このスレッシュホールドキャパシタをトランジスタスレッシュホールド電圧まで充電する第1モード、及びこのスレッシュホールドキャパシタに蓄積されているトランジスタスレッシュホールド電圧をトランジスタ制御電圧に加算する第2モードで動作可能である。

【0009】

このように、スレッシュホールドキャパシタに電荷を蓄積することによって、トランジスタのスレッシュホールド電圧を測定してこれを補償することができる。

【0010】

前記スイッチトキャパシタ構成は、第1対のスイッチと、これに関連する第1キャパシタと、第2対のスイッチと、これに関連する第2キャパシタから構成することができ、これらのスイッチは、一方のキャパシタの充電を行い、同時に他方のキャパシタの放電を行うように動作する。このことは、スイッチトキャパシタ構成に連続的な充電電流を導入することを可能にし、これにより、電流源の電流リップルを低減することができる。

【0011】

また前記スイッチトキャパシタ構成は列キャパシタを具えることもでき、これは、前記駆動回路の初期動作期間中に充電される。このことは、電流発生サイク

(7)

特表2003-529805

ルの開始時における、画素の列の列キャパシタンス（電気容量）の補償を可能にし、これにより回路がより迅速に安定する。

【0012】

スレッシュホールド電圧をサンプリングする代わりに、差動増幅器の出力によって前記調整したトランジスタ制御電圧を供給することができ、ここでは、この増幅器の一方の入力には未調整のトランジスタ制御電圧を供給し、増幅器の他方の入力は、スイッチトキャパシタ構成に充電電圧として供給する電圧にする。

【0013】

各画素がエレクトロルミネセント表示素子を具えていることが好ましく、そして各画素が第1及び第2スイッチング手段を具えることができ、これらのスイッチング手段は、第1スイッチング手段によって第2スイッチング手段に入力電流を供給し、入力電流に対応する制御レベルを第2スイッチング手段用に蓄積する第1モード、及び蓄積している制御レベルを第2スイッチング手段に供給して、これにより前記表示素子を通る入力電流に相当する電流を駆動する第2モードで動作可能である。

【0014】

（発明を実施するための最良の形態）

以下、本発明による表示装置の実施例について図面を参照して説明する。

図1に、アクティブマトリクスアドレス指定のエレクトロルミネセント表示装置を示し、これは、ブロック1で示す規則的な間隔の画素の行及び列のマトリクスアレイを有するパネルと、関連するスイッチング手段を伴ったエレクトロルミネセント表示素子とを具え、これらのスイッチング手段は、交差している行（選択）アドレス導体2の組と列（データ）アドレス導体4の組との交点に位置する。簡単のため、図には少数の画素のみを示してある。実際には、数百の行及び列の画素が存在しうる。それぞれの導体組の端に接続した行または走査駆動回路6、及び列またはデータ駆動回路8から構成される周辺駆動回路によって、行及び列アドレス導体の組を介して画素1をアドレス指定する。本発明は特に、列駆動回路8用に適した電流供給回路に関するものであるが、以下では、まず電流アドレス画素を有する表示装置の動作について詳細に説明する。

(8)

特表2003-529805

【0015】

図2に、アレイ内のブロック1の通常の画素を、簡略化した図式的な形で示し、この図は、画素の基本的な動作のし方を示すことを意図したものである。図2の画素回路の実際的な実現法は図3に示す。

【0016】

参照番号20で示すエレクトロルミネセント表示素子は、ここではダイオード素子(LED)として示す有機発光ダイオードと、一对の電極とを具え、これらの電極間には1つ以上の有機エレクトロルミネセント材料の層を挟んでいる。アレイの表示素子は関連するアクティブマトリクス回路と共に、絶縁支持体の一方の側に載っている。表示素子のカソード(陰極)またはアノード(陽極)のいずれかを、透明導電材料で形成する。この支持体はガラスのような透明材料製であり、表示素子20の基板に最寄の電極を、ITO(インジウム錫酸化物)のような透明導電材料で構成して、エレクトロルミネセント層が発生する光がこれらの電極及び支持体を透過して、支持体の他方の側で視聴者に見えるようにする。前記有機エレクトロルミネセント材料層の厚さは通常、100nmから200nmまでの間とする。素子20用に用いることができる適切な有機エレクトロルミネセント材料の典型例は欧州特許A-0 717446号に記載され、これにはさらなる情報が盛り込まれ、この開示は参考文献として本明細書に含める。W096/36959号に記載の共役ポリマー材料のようなエレクトロルミネセント材料も用いることができる。

【0017】

各表示素子20は関連するスイッチング手段を有し、これは表示素子に隣接した行導体2及び列導体4に接続され、かつ供給されるアナログ駆動(データ)信号レベルに従って表示素子を動作させるように構成され、この信号レベルが素子の駆動電流を決定し、従って光出力を決定する。表示データ信号は、電流源として作用する列駆動回路8によって供給する。本発明は特に、以下に記述する列駆動回路に指向したものである。

【0018】

適切に処理したビデオ信号をこの回路8に供給し、この回路はこのビデオ信号をサンプリングして、ビデオ情報に関するデータ信号を構成する電流を、行駆動

(9)

特表2003-529805

回路6によって適切に行アドレス指定された列導体の各々に供給する。

【0019】

図2に、駆動トランジスタ30、特にp-チャネルFETを具えたスイッチング手段を示し、このトランジスタのソースを給電線31に接続し、ドレインを、スイッチ33を介して表示素子20のアノードに接続する。表示素子のカソードを第2給電線34に接続し、この給電線は実際には、固定の基準電位に保持した連続電極層によって構成する。

【0020】

トランジスタ30のゲートは給電線31に接続し、従って蓄積キャパシタンス（電気容量）38を介してこのトランジスタのソース電極に接続し、このキャパシタンス（電気容量）は、独立して形成したキャパシタあるいはトランジスタの固有ゲートソース容量とすることができる。トランジスタ30のゲートは、スイッチ32を介してこのトランジスタのドレイン端子にも接続する。

【0021】

このトランジスタ回路は、単一トランジスタのカレント（電流）ミラーのふるまいで動作し、同じトランジスタが、電流サンプリング及び電流出力の機能を共に実行し、表示素子20が負荷として作用する。このカレントミラー回路への入力は、入力線35から出る電流を駆動することによって供給し、この線を、さらなるスイッチ37を介してスイッチ32と33との間の節点36に接続し、この節点は入力端子を構成し、スイッチ37はこの節点からの電流の導入を制御する。

【0022】

この回路の動作は2段階で行われる。アドレス指定期間に時間的に対応する第1のサンプリング段階では、表示素子からの必要な出力を決定する入力電流信号を回路から導入して、トランジスタ30の結果的なゲートソース電圧をサンプリングして、キャパシタンス38に蓄積する。その後の出力段階では、トランジスタ30が、前記蓄積した電圧のレベルに従って、表示素子20を通る駆動電流を駆動するように動作して、入力電流によって決定され、表示素子が必要とする出力を発生し、例えば後続の新たなサンプリング段階で、次に表示素子をアドレ

(10)

特表2003-529805

ス指定するまで、この出力を維持する。両段階中には、給電線31及び34は、適切に事前設定した電位レベルV1及びV2であるものとする。通常、給電線31は電位(V1)付近であり、給電線34は負電位(V2)付近である。

【0023】

サンプリング段階中には、スイッチ32及び37を閉にしてスイッチ33を開にし、スイッチ32はトランジスタ30をダイオード接続し、スイッチ33は表示素子負荷を絶縁する。表示素子に必要な電流に相当する、図にI_{in}で示す入力信号は、例えば図1の列駆動回路8のような外部電源から、入力線35、閉じたスイッチ37、及び入力端子36経由で導入する。閉じたスイッチ32によってトランジスタ30をダイオード接続しているの、定常状態条件でのキャパシタンス38の端子間電圧は、トランジスタ30のチャネルを通る電流I_{in}を駆動するのに必要なゲートソース電圧になる。この電流が安定するのに十分な時間を取って、入力端子36を入力線から絶縁し、かつキャパシタンス38を絶縁するスイッチ32及び37を開にするとサンプリング段階を終了して、入力信号I_{in}に従って決まるゲートソース電圧がキャパシタンス38に蓄積される。そしてスイッチ33を閉じると出力段階を開始し、スイッチ33が表示素子のアノードをトランジスタ30のドレインに接続する。そしてトランジスタ30が電流源として動作して、I_{in}にほぼ等しい電流が表示素子20を通して駆動される。

【0024】

スイッチ32がオフ状態になる際にキャパシタンス38に電圧変化を生じさせる電荷注入効果による容量結合により、またトランジスタ30は実際には有限値の出力抵抗を有しがちであり、完全な電流源としては作用し得ないので、表示素子用の駆動電流は、入力電流I_{in}からほんの少し異なり得る。しかしサンプリング段階中にI_{in}をサンプリングするために、そして出力段階中に電流を発生するために同じトランジスタを用いているので、表示素子電流は、トランジスタ30のスレッショルド電圧または移動度には依存しない。

【0025】

図3に、図1の表示装置に用いる図2の画素回路の実際例を示す。この例では、スイッチ32、33及び37の各々をトランジスタによって構成し、これらの

(11)

特表2003-529805

スイッチングトランジスタは駆動トランジスタ30と共に、すべて薄膜フィルム電界効果トランジスタ即ちTFTとして形成する。入力線35、及び同じ列内の全画素のこれに相当する入力線を列アドレス導体4に接続して、結果的にこの導体を通して列駆動回路8に接続する。トランジスタ32、33、及び37のゲート、及び同様に、同じ行内の画素回路のこれらに相当するトランジスタのゲートをすべて、同じ行アドレス導体2に接続する。トランジスタ32及び37はp-チャネルデバイスで構成し、行駆動回路6によって行アドレス導体2に印加する電圧パルスの形態の選択（走査）信号によってオン（閉）状態にする。トランジスタ33は逆の導通型であり、n-チャネルデバイスで構成され、トランジスタ32及び37とは相補的なふるまいで動作し、このためトランジスタ32及び37が導体2上の選択信号に応答して閉状態になるとオフ（開）状態になり、そしてその逆の状態にもなる。

【0026】

給電線31は、行導体2に並列な電極として延在し、同じ行内のすべての画素回路がこれを共用する。すべての行の給電線31を、端でまとめて接続することができる。代わりに、これらの給電線を列方向に延在させて、各列内の表示素子がそれぞれの給電線を共用することもできる。あるいはまた、行及び列方向に共に延在する給電線を設けて、これらを相互接続して格子構造を形成する。

【0027】

前記アレイは、各行導体2に順次印加する選択信号によって一行同時に順次駆動する。この選択信号の継続時間が行アドレス期間を決定し、これは前述したサンプリング段階の期間に相当する。一行同時のアドレス指定に必要な選択信号に同期して、データ信号を構成する適切な入力電流駆動信号を列駆動回路8によって列導体4に印加して、選択した行内のすべての表示素子が、この表示素子からの必要な表示出力を決定するそれぞれの入力信号で、行アドレス期間中に同時に、必要な駆動レベルに設定されるようにする。この方法での行のアドレス指定に続いて、次行の表示素子も同様な方法でアドレス指定する。フィールド期間中に全行の表示素子をアドレス指定し終わると、その後のフィールド期間中にもこのアドレス指定手順を繰り返し、それぞれの行アドレス期間中に、所定の表示素子

(12)

特表2003-529805

用、従って所定の出力用の駆動電流を設定して、関連行の表示素子を次にアドレス指定するまでの間、この駆動電流をフィールド期間だけ維持する。

【0028】

本発明は特に、電流駆動信号を画素の列に供給する回路に関するものである。特に本発明は、ポリマーシリコンTFTデバイスを用いて実現可能であり、従って電流駆動画素を有する表示デバイスのアクティブプレート上にまとめることができるスイッチトキャパシタ電流源に関するものである。

【0029】

この電流源の原理は、既知のキャパシタを既知の電圧まで、連続的に充電及び放電することである。もちろん、キャパシタの電圧は $Q = C \cdot V$ によって与えられる。固定量の電荷を用いて、完全に放電したキャパシタを周期的に、電圧 V_c まで充電し、そして1秒当たり F 回の速さで再び放電する場合には、

$$I_{rms} = C \cdot V_c \cdot F$$

となり、ここで I_{rms} は充電電流の実効値（二乗平均平方根）である。

【0030】

図4に、スイッチトキャパシタ構成を用いた電流制御用の回路を示す。この回路では、 S_1 が放電スイッチであり、 S_2 が充電スイッチである。これら2つのスイッチは互いに逆位相で動作する。 S_2 が閉であり S_1 が開である際には、 S_2 の端子間の電圧降下を無視すれば、キャパシタ C_1 （以下充電キャパシタと称する）が電圧 V まで充電される。 S_2 がであり S_1 が閉である際には、このキャパシタが S_1 を通して放電される。

【0031】

アクティブマトリクスディスプレイの列は、これらの列を電流源として作用するように構成することによって、キャパシタ充電電流によって駆動することができる。例えば、図2の画素回路の電流サンプリング段階中には、前記スイッチトキャパシタ構成が導入する電流を、線35によって供給することができる。他の画素構成では、画素列を相互接続して電流供給回路に接続することが困難である。アクティブマトリクスプレート上に値 C のキャパシタンスを正確に構成することができ、そして例えば画素クロックの副分割を用いて、周波数 F を正確に制御

(13)

特表2003-529805

することができるので、これにより、電流値がこれら2つの変数及び前記充電電圧に依存する精密な電流源を作製することができる。

【0032】

ビデオ信号用回路を実際の実現するためには、主に困難なことは、キャパシタをその電圧まで充電する電圧を正確に制御することである。周波数 F 及びキャパシタンス値 C は、より容易に固定することができる。図5に、図4の回路の実際的な実現法を示し、ここでは n -チャネルTFTを用いて充電電圧を制御する。

【0033】

TFTのスレッシュホールド電圧 V_{th} よりも大きい基準電圧を、TFTのゲートに印加する。 S_2 を閉にして S_1 を開にすると、充電中のキャパシタ C （充電電流を供給するキャパシタ）が、TFTを通して V_{column} に近づくように充電される。しかし C が $V_{ref} - V_{th}$ 、即ちゲートの基準電圧からゲートソース間のスレッシュホールド電圧を引いたものまで充電されていると、TFTが導通を停止して、キャパシタが充電を停止する。固定時間の期間後に、 S_2 が開になり S_1 が閉になって、 S_1 を通して C を放電する。このサイクルを再び開始して、毎回、 $C \cdot (V_{ref} - V_{th})$ に等しい量の電荷が列を通して発生する。

【0034】

TFTのスレッシュホールド電圧が電流源の出力値に影響を及ぼし、かつディスプレイを通してのTFTの一様性が保証されていないので、本発明の電流源の設計には、TFTのスレッシュホールド値によってゲート電圧を供与する方法を採用する。本発明の設計では、トランジスタのスレッシュホールド電圧に応じて調整済みのトランジスタのゲート電圧をTFTのゲートに印加して、このトランジスタのスレッシュホールド電圧にかかわらず、キャパシタが正確に既知の充電電圧まで充電されることを保証する。

【0035】

図6に、本発明の電流源に採用可能な、前記スレッシュホールド電圧を補償する第1の方法を概念的に示す。

【0036】

(14)

特表2003-529805

スイッチトキャパシタ構成12に充電電圧を印加するために、特に節点14に充電電圧を供給するために、トランジスタ10を設ける。スイッチトキャパシタ構成12は、図5に示すスイッチS1、S2及び充電キャパシタC1を具えている。この回路は、固定電位の入力端子Viから電流を導入し、この固定電位は、スイッチトキャパシタ構成12中のキャパシタを、トランジスタ10を通して所望の電圧まで充電可能にするのに十分なものである。

【0037】

この充電電圧は、図6の回路に基準電圧Vrefとして供給する。しかし、この基準電圧は、(図5に示すように)トランジスタ10のゲートに直接印加しないで、代わりにスレッシュホールドキャパシタCtを通して印加する。トランジスタ10のゲートを、このスレッシュホールドキャパシタの一方の側に接続して、スレッシュホールドキャパシタの他方の側は、スイッチS5を通して基準電圧入力に結合する。このキャパシタの端子は、さらなるスイッチS6を通して節点14にも接続する。

【0038】

トランジスタ10のドレイン及びゲートは、スイッチS4によって選択的に接続し、さらにスイッチS3が選択的に、入力Viの列をトランジスタ10のドレインから絶縁する。このトランジスタ回路は、所定のバイアス条件に対するゲートソース電圧をサンプリングする電圧サンプリング回路として動作する。

【0039】

この回路の動作は、2つのモードで行われる。動作の第1モードでは、この回路は、トランジスタ10のスレッシュホールド電圧をスレッシュホールドキャパシタCtに蓄積するように動作する。このモードでは、スイッチS5を開にして、他のスイッチS3、S4及びS6をすべて閉にすることによって、基準電圧Vrefを絶縁する。そしてこのトランジスタを、ドレインとゲートをスイッチ4によって短絡するようにダイオード接続する。入力Viである列の電圧はトランジスタのスレッシュホールド電圧より大きく、この電圧をドレイン及びゲートに共に印加する。図5に示すスイッチトキャパシタ構成のスイッチS1及びS2を共に閉にして、トランジスタ10が入力Viと接地との間を導通させるようにする。トランジス

(15)

特表2003-529805

タの定常状態条件では、スレッシュホールドキャパシタ C_t がゲートの電圧まで充電される。一旦このことを達成すると、スイッチ S_3 を開にしてスレッシュホールドキャパシタ C_t が放電を開始し、スレッシュホールドキャパシタ C_t の電圧はトランジスタ 10 をオン状態にするのに十分なので、トランジスタ 10 のドレインソース電流が供給される。ゲートソース電圧がスレッシュホールド電圧 V_{th} に達すると、トランジスタが導通を停止して、スレッシュホールドキャパシタが、このスレッシュホールド電圧に等しい電圧まで充電される。その後にスイッチ S_4 及び S_6 を開にして、こうしてスレッシュホールドキャパシタに蓄積された電荷を絶縁する。

【0040】

その後にスイッチ S_5 を閉じることによって基準電圧 V_{ref} を印加すると、ゲート電圧が $(V_{ref} + V_{th})$ になる。トランジスタのゲート電圧が、トランジスタのスレッシュホールド電圧を考慮して調整されているので、これにより、一旦 C_i を充電すると、節点 14 の電圧が基準電圧 V_{ref} に等しくなることが保証される。

【0041】

このスレッシュホールド電圧補償は、新たな基準電圧を印加する毎に実行することができる。実際には、表示画素のマトリクスアレイの場合には、各ラインの画素のアドレス指定の開始時に、スレッシュホールド補償を行う。

【0042】

画素スイッチングトランジスタの時定数及び画素キャパシタンスは、スイッチトキャパシタ構成中の充電キャパシタ C_i のスイッチングによる充電及び放電により生じる電流パルスの良好なフィルタリングができるように十分大きくなければならない。

【0043】

図7に、図6に示す回路の実際的な実現法を示す。前記スイッチトキャパシタ構成のスイッチ S_1 及び S_2 は、トランジスタ T_1 及び T_2 によって実現するように示してあり、前記スレッシュホールド補償回路のスイッチ $S_3 \sim S_6$ は、トランジスタ $T_3 \sim T_6$ によって実現するように示してある。19で示す構成要素は電流源を規定するものとして考えることができ、追加的トランジスタ T_7 は、電流

(16)

特表2003-529805

源19と画素の列とを接続するように示してある。このことは、スレッショルド補償段階中に画素の列を電流源19から絶縁することを可能にする。1つの画素は図式的に符号1で示してある。

【0044】

トランジスタT1～T7の各々が、それぞれのゲートに印加すべき制御信号に関連している。これらのトランジスタのゲートに印加する信号のタイミングが、回路の動作を決定する。

【0045】

図8に、図7の回路についてのタイミング図を示す。本質的に2つの動作のサイクルが存在し、これらはスレッショルド補償サイクルである第1サイクル22と、電流供給サイクル24である。

【0046】

スレッショルド補償サイクル22中には、トランジスタT7がオフ状態になり、従ってゲート電圧がロー（低値）になる。期間22a中には、スレッショルドキャパシタが、トランジスタT6、T2及びT1を通して入力電圧V_Iまで充電される。スレッショルドキャパシタを充電した後にトランジスタT3をオフ状態にして、期間22b中には、スレッショルドキャパシタの端子間電圧がトランジスタのスレッショルド電圧になるまで、このキャパシタがトランジスタ10を通して放電する。最後に、期間22c中には、スレッショルドキャパシタに基準電圧V_{ref}を印加して、トランジスタ10のゲートに所望の電圧を生成する。そして電流源モードの動作24中には、2つのトランジスタT1及びT2の周期的な動作が続く。

【0047】

上述したように、本発明の回路は、正確に制御可能な電圧を節点14に印加することを可能にする。しかし、充電電圧は節点15において規定され、これは節点14の電圧とは、トランジスタのソースドレイン電圧だけ異なる。トランジスタT2を飽和領域で動作させると、そのソースドレイン電圧はスレッショルド電圧よりも、基板にわたっての変化の影響をずっと受けにくくなる。特定の電流出力に必要な基準電圧を計算する際に、このソースドレイン電圧を考慮に入

(17)

特表2003-529805

れる。

【0048】

Ctの放電が指数関数的であるので、この設計に関連する潜在的な問題は、スレッシュホールド電圧のサンプリング期間22bの長さである。他の潜在的な問題は、画素フィルタキャパシタCpix（図2の38）上に見られるリップル電圧である。列キャパシタンスは20pFまで高くすることができ、Cpixのキャパシタンスは1pFまたはそれ未満のオーダーにすべきものである。0.1pFの充電キャパシタを用いれば、所望の性能によっては、列キャパシタ及びCpixの充電時間が許容外に長くなる。充電キャパシタのサイズを増加させれば、Cpixの端子間のリップル電圧が増加する。実際には、充電及び放電クロックの周波数を増加させることができるが、このことは、より大容量の充電トランジスタ10及びT2によって達成しなければならない。トランジスタのサイズを増加させることには、より大きなゲートへの電荷注入をもたらすという逆効果があり、正確性が低下する。これらの問題を克服するための回路の変形例を図9に示す。

【0049】

第1の変形例は、2つのスイッチトキャパシタ構成を設けるものである。第1対のスイッチS1、S2が第1充電キャパシタC11を充電及び放電し、第2対のスイッチS1a、S2aが第2充電キャパシタC12を充電及び放電する。一方のキャパシタの充電中には他方のキャパシタが放電し、そしてその逆になる。このことを達成するためには、一方の充電スイッチ用の制御線を他方のスイッチトキャパシタ構成の放電スイッチが共用し、そしてその逆とする。

【0050】

また追加的キャパシタCcを設けて、前記列キャパシタンスの逆効果を低減し、そしてこのキャパシタは、1回の動作でスレッシュホールド補償を実行することも可能にする。

【0051】

スイッチS3及びS6用の制御線は、図9に符号「初期化」で示す。初期化段階中には、スレッシュホールドキャパシタCtを入力電圧Viまで充電する。スイッチS3及びS6を閉にする制御信号は、追加的キャパシタCcを充電キャパシタの

(18)

特表2003-529805

一方のC i1に並列接続する追加的スイッチS 8も閉にする。第1充電サイクル中には、スイッチS 2を閉にして充電キャパシタC i1を充電する際に、追加的キャパシタC cも充電される。適切な充電サイクルが始まる際には、キャパシタC cに蓄積された追加的電荷は、列キャパシタンス並びに画素キャパシタンスを充電するのに十分なものである。こうするために、キャパシタC cはディスプレイの列キャパシタンスの合計のオーダにする。

【0052】

さらに初期化段階中には、列キャパシタ、画素キャパシタ、及び充電キャパシタC iも放電する。スイッチS 9は、列キャパシタ及び画素キャパシタを放電するために設けてあり、このスイッチは、初期化段階中及び充電キャパシタC iの充電中のみに作動させる。これを行うために、初期化信号及び放電クロック信号を、スイッチS 9の動作を制御するNANDゲートに供給する。列キャパシタ及び画素キャパシタの放電はトランジスタ10を通して行われ、これらの電荷は初期化段階中に、追加的キャパシタC c及び充電キャパシタC i1に有効に渡される。

【0053】

初期化段階は、キャパシタC c及びC i1が($V_i - V_{th}$)まで充電されるのに十分長い時間である必要がある。

【0054】

初期化段階に続く充電-放電サイクル中に、画素キャパシタの端子間電圧が安定する。充電キャパシタC i1及びC i2を図7の回路中のものよりも小さくすることができ、これにより充電-放電サイクルの周波数を増加させて、画素キャパシタ上の電圧リップルを低減することができる。

【0055】

図10に、図9の回路の実現法を示し、ここでは各スイッチをトランジスタとして実現しており、図9と同じ参照番号を用いている。例えば、スイッチS 1はトランジスタT 1として実現する、等である。

【0056】

この回路では、初期化段階を完了し次第、基準電圧を印加することができる。

(19)

特表2003-529805

従って、トランジスタT5の制御は、トランジスタT3、T6及びT8の制御とは論理的に逆になる。この論理反転機能を実行するために、トランジスタT5a及びT5bを設けてある。

【0057】

この回路の動作は、図11に示すタイミング図から、より容易に理解できる。

【0058】

初期化期間30a中には、1つの放電及び充電サイクルを実行する。充電サイクルは、追加的キャパシタCcが充電されるようになるまで延長し、このキャパシタはディスプレイの列キャパシタンスを上回るに必要な電荷を蓄積する。この延長した充電サイクルを32で示す。初期化段階の開始時には、NANDゲートの出力がロー（2つの入力が高い）であり、この出力がローであるのはこの時点のみである。この一意的なロー出力が、p型のTFTを閉状態にして、列キャパシタンスの放電を生じさせる。初期化期間後には、NANDゲートの出力は常にハイであり、トランジスタT9がオフ状態になって、行を電流供給回路から絶縁する。初期化時間30a中の、放電クロック信号が高いである期間は、列のリセット期間として考えることができ、これを34で示す。

【0059】

一旦初期化期間30aを終了すると、この回路は、図7の回路の電流供給期間24と同様であるが、2キャパシタのスイッチトキャパシタ構成によって供与される連続的な充電電流で動作する。

【0060】

正確に制御可能な電圧を発生して、電流源キャパシタをこの電圧まで充電するさらなる代替方法は、負帰還を有する差動増幅器を用いる方法である。この原理を図12に示し、これはOPAMP（演算増幅器）を差動増幅器として用いている。OPAMP42の出力40がトランジスタ10にゲート電圧を供給し、トランジスタ10のソースは増幅器42の反転入力に結合してある。増幅器42はその出力に電圧を供給して、この増幅器は、反転入力及び非反転入力の電圧を同じレベルにもっていくようになっている。結果的に節点14の電圧が、非反転端子に印加した基準電圧Vrefに等しくなる。

(20)

特表2003-529805

【0061】

本質的には、この回路は負帰還を採用した線形回路である。充電キャパシタ C_i が充電中で S_2 が閉である際の V_{ref} とソース電圧との差は、OPAMPの利得の関数になり、そしてミリボルトのオーダーになる。充電抵抗 44 を用いて、キャパシタへの初期電荷の流入を制御する。この抵抗がなければ、キャパシタを充電する際には帰還ループが事実上開ループになる。これはトランジスタ 10 が、充電キャパシタ C_i を目標電圧 V_{ref} まで瞬時に充電するのに必要な大きさの電流を供給することができないからである。抵抗 44 の導入は、電流源の値には影響しないが、回路周波数を制限する。

【0062】

この回路では、図9を参照して説明したように、帰還ループが開回路になって、帰還ループが断ち切られて制御回路の安定性が崩れることが起こり得ないようにするためには、充電キャパシタの二重構成を必要とする。

【0063】

また列が非選択である場合にも、帰還ループが断ち切られる。こうした理由により、バイアス抵抗 R_{Bias} を追加すれば、列を選択していない際にも、OPAMPがトランジスタ 10 を連続的に制御できるようになる。列をアドレス指定する際には、このバイアス抵抗をスイッチによって回路から外して、オフセット電流の導入を防止する。

【0064】

この回路は原則的には、前の例の回路のような、トランジスタ 10 のスレッショルド電圧のサンプリングに関連する時間遅延を有しない。回路の利得帯域が十分大きければ、この回路はより高い周波数でも動作可能である。このことは、より小さい充電キャパシタ C_i の使用を可能にし、これにより、画素キャパシタンスをより小さくすると共に、出力リップルをより小さくすることができる。

【0065】

図13に、図12の回路の実現法をより詳細に示す。

【0066】

この回路の潜在的に困難な点は、差動増幅器の入力オフセット電圧である。こ

(21)

特表2003-529805

れは、OPAMP内のトランジスタのトランジスタ整合に依存する。しかし、さらに8つのスイッチを用いれば、回路内のトランジスタの位置を交換することが可能になる。これらのスイッチは、4つの2極スイッチB1、B2、B3及びB4、及び図中に二重線で示す線で表現してある。各充電サイクルの後に、OPAMPへの入力段を構成するトランジスタを交換することができ、これによりトランジスタの不整合の影響を低減することができる。

【0067】

例えば、B4がトランジスタ50のゲートを、トランジスタ10と充電抵抗44との間の節点に接続すると、B3が他のトランジスタ52のゲートをVrefに接続する。同時に、B2がトランジスタ54をトランジスタ50のドレインに接続して、B1がトランジスタ52のドレインをViに接続する。そしてすべてのスイッチが反転して、トランジスタ50と52の役割が逆転する。これにより、差分増幅器を規定するトランジスタ50と52の間のトランジスタ不整合に関連する問題が取り除かれて、これらのトランジスタが2つの独立したデバイスではなく、1つの単位として機能するようになる。

【0068】

本発明は、表示素子が電流アドレス型であれば、いずれの特定の画素構成を有する表示装置にも適用することができる。

【0069】

図14に、逆極性型のトランジスタを使用する必要性を回避し、かつ列4から電流を導入する画素回路の代案の変形形態を示す。この回路では、トランジスタ33を除去して、入力端子36を直接、表示素子20に接続する。他の回路のように、カレントミラーの動作中に2つの段階、即ちサンプリング段階及び出力段階が存在する。サンプリング段階中には、関連する行導体2上の選択パルスによってスイッチングトランジスタ32及び37が閉状態になり、これらのトランジスタがトランジスタ30にダイオード接続される。同時に給電線31は前のように一定基準電圧のままにしておかずに、この給電線に正電圧パルスを供給して、表示素子20が逆バイアスされるようにする。この状態では、(微小な逆漏洩電流を無視すれば)電流が表示素子20を流れて流れることがあり得ず、トランジ

(22)

特表2003-529805

スタ30のドレイン電流は入力電流 I_{in} に等しくなる。このようにして、トランジスタ30の適正なゲートソース電圧電圧を、キャパシタンス38上に再びサンプリングすることができる。前のように、サンプリング段階の終わりにスイッチングトランジスタ32及び37をオフ（開）状態にして、給電線31を通常のレベルに戻し、これは通常0Vである。その後の出力段階では、トランジスタ30は前と同様に、キャパシタ38に蓄積されている電圧によって決まるレベルで表示素子を通る電流を導入する電流源として動作する。

【0070】

図14の実施例では、画素の行毎に個別に電圧源に接続した給電線31を設けることができる。サンプリング段階中には、（給電線31にパルスを加えることの結果として）行内の表示素子がアドレス指定されてオフ状態になり、アレイ中の全面素回路に共通の1つの共通給電線が実際に存在する場合には、即ち一行の給電線31のみが、全行の画素回路を相互接続する連続線の一部である場合には、どの行をアドレス指定するかにかかわらず、各サンプリング段階中には全表示素子がオフ状態になる。これにより、表示素子についてのデューティサイクル（オン時間とオフ時間の比）が低下する。このため、1つの行に関連する給電線31を、他の行に関連する給電線から分離した状態に保つことが望ましい。

【0071】

以上の開示から当業者が他の変形法を考案しうることは明らかである。こうした変形法は、マトリクス型エレクトロルミネセントディスプレイ及びその構成部品分野では既知の他の特徴を含み得るものであり、そして本明細書で既に記述した特徴に代えて、あるいはこれらの特徴に加えて用いることができる。

【図面の簡単な説明】

【図1】 本発明による表示装置の実施例の一部を簡略化して示す図である。

【図2】 図1の表示装置における表示素子及びこれに関連する制御回路を具えた通常の画素回路の等価回路を簡単な形で示す図である。

【図3】 図2の画素回路の実際的な実現方法を示す図である。

【図4】 スイッチトキャパシタ電流源の動作原理を示す図である。

【図5】 スイッチトキャパシタ電流源の実現方法を示す図である。

(23)

特表2003-529805

【図6】 本発明のディスプレイに用いるトランジスタしきい値電圧を補償する第1の回路を図式的に示す図である。

【図7】 図6の回路の実際的な実現方法を示す図である。

【図8】 図7の回路用のタイミング図である。

【図9】 本発明のディスプレイに用いるトランジスタしきい値電圧を補償する第2の回路を図式的に示す図である。

【図10】 図9の回路の実際的な実現方法を示す図である。

【図11】 図10の回路についてのタイミング図である。

【図12】 本発明のディスプレイに用いるトランジスタしきい値電圧を補償する第3の回路を図式的に示す図である。

【図13】 図12の回路の実際的な実現方法を示す図である。

【図14】 代案の画素回路を示す図である。

【図1】

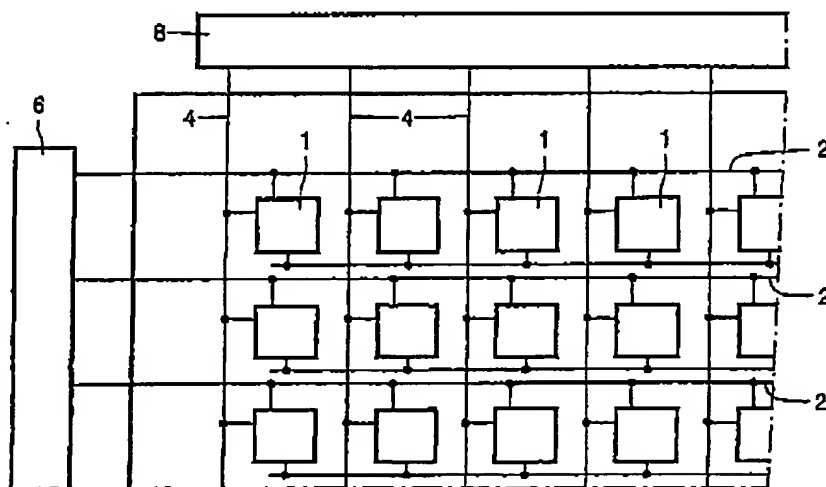
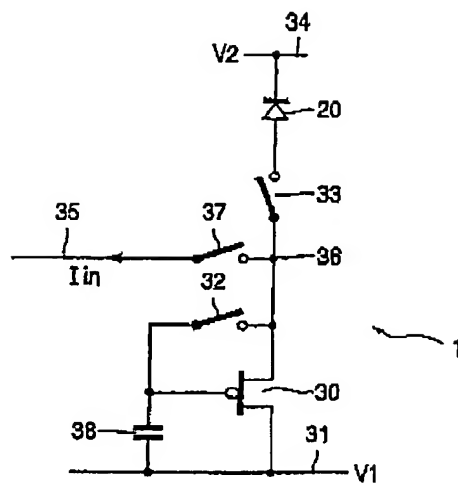


FIG. 1

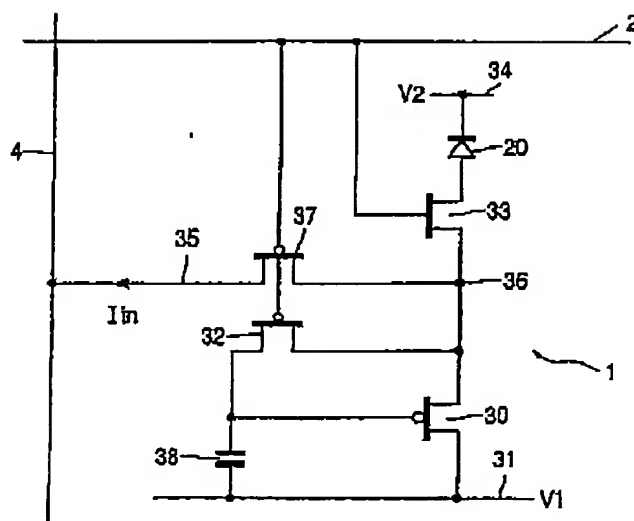
(24)

特表2003-529805

【图 2】



【図 3】



(25)

特表2003-529805

【图4】

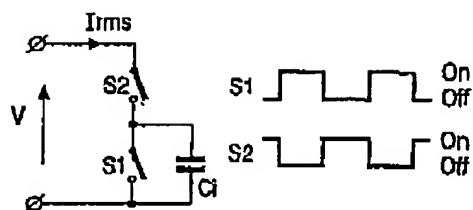


FIG. 4

【图5】

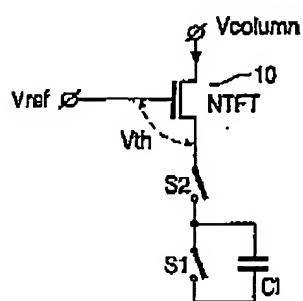


FIG. 5

【图6】

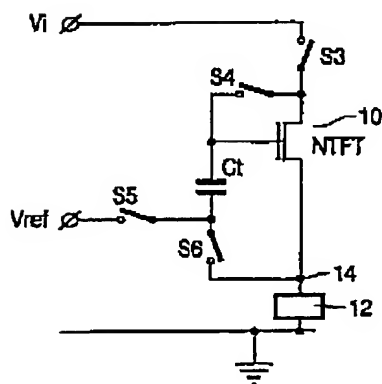


FIG. 6

(27)

特表2003-529805

【図8】

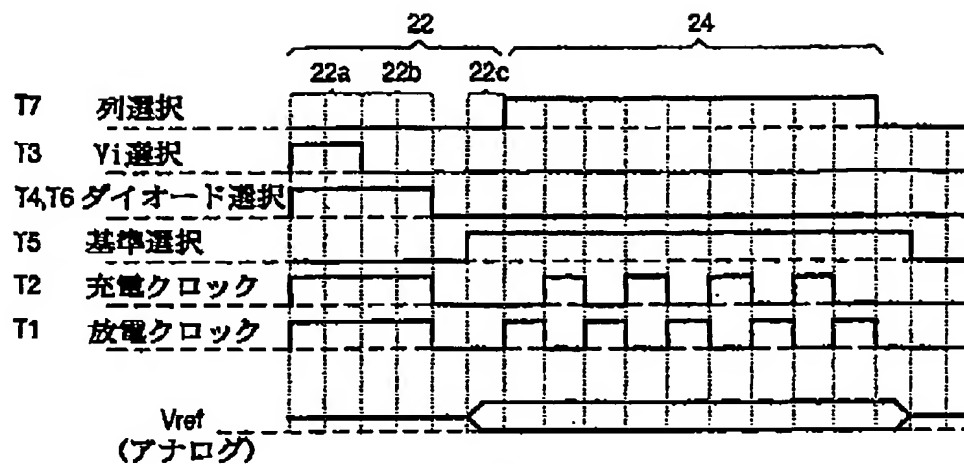


FIG. 8

(28)

特表2003-529805

【図9】

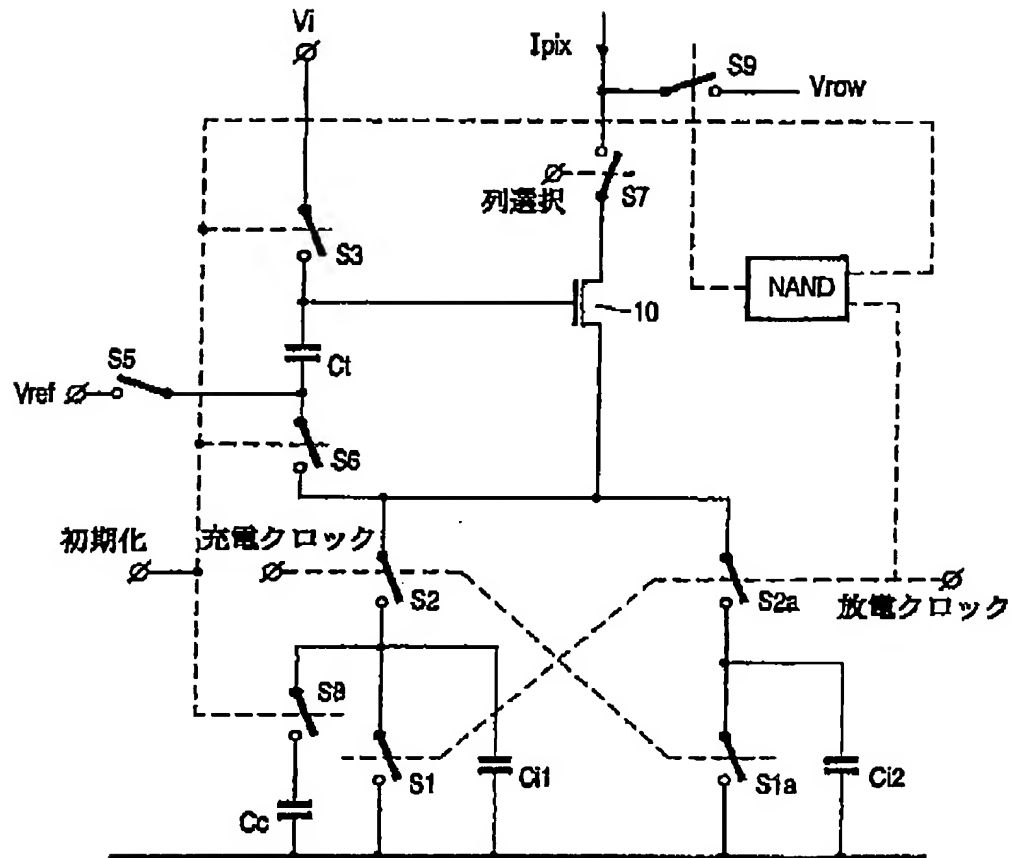


FIG. 9

(29)

特表2003-529805

【図10】

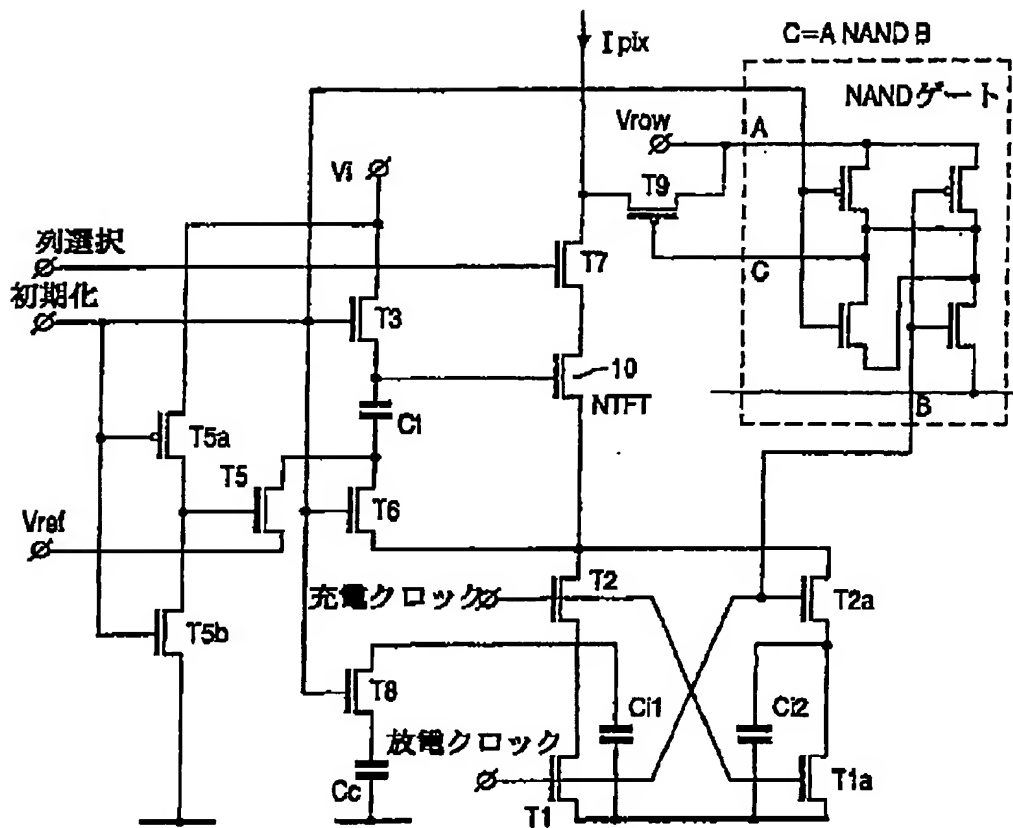


FIG. 10

【図11】

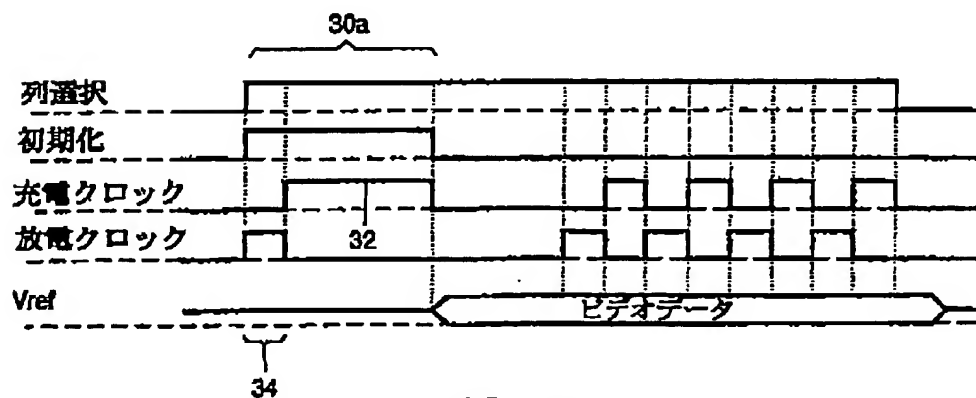


FIG. 11

(30)

特表2003-529805

【図12】

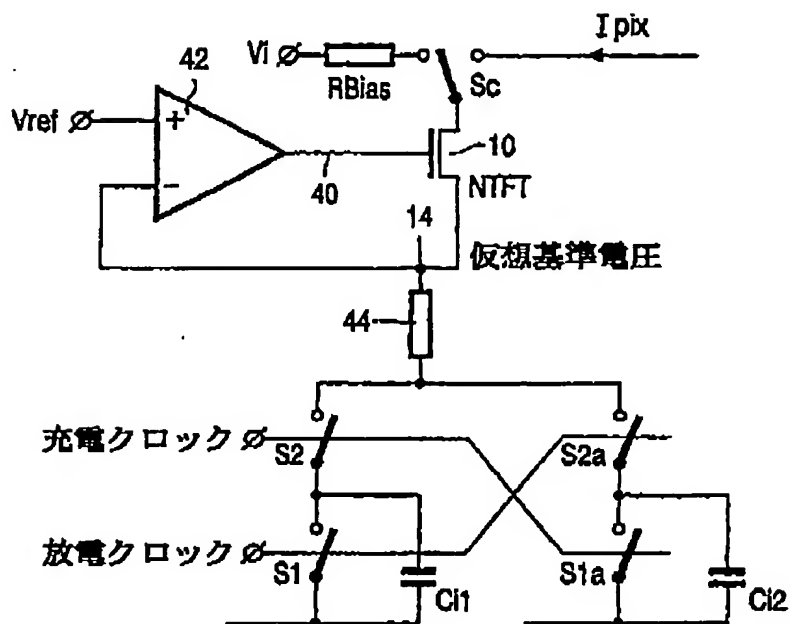


FIG. 12

(31)

特表2003-529805

【図13】

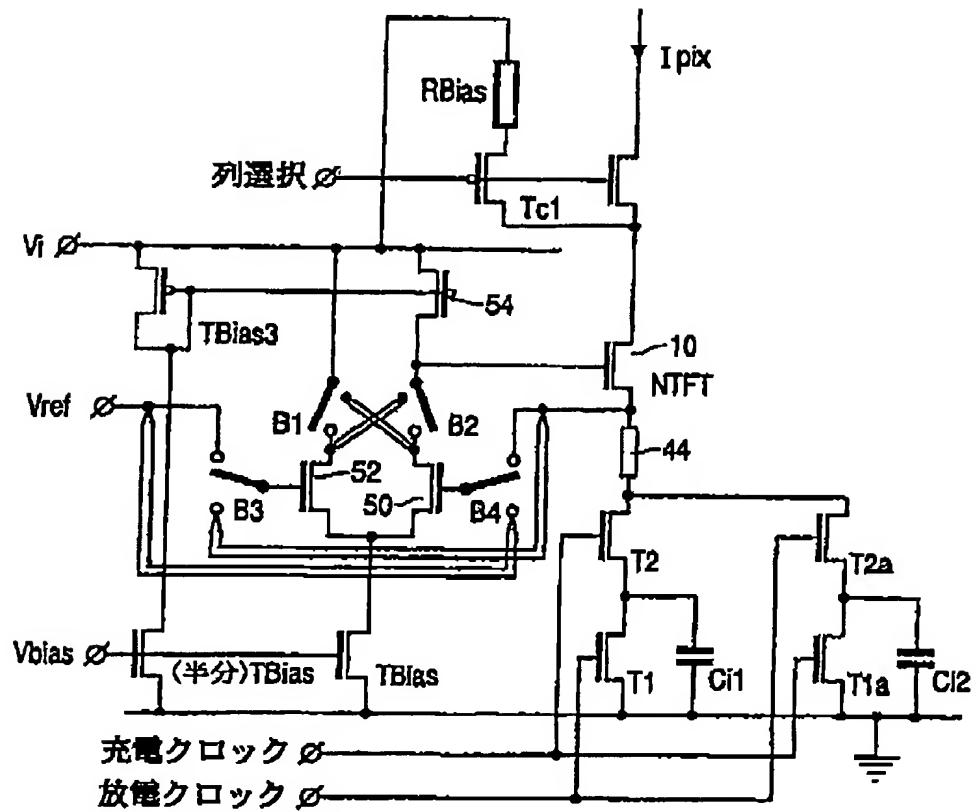


FIG. 13

(32)

特表2003-529805

【図14】

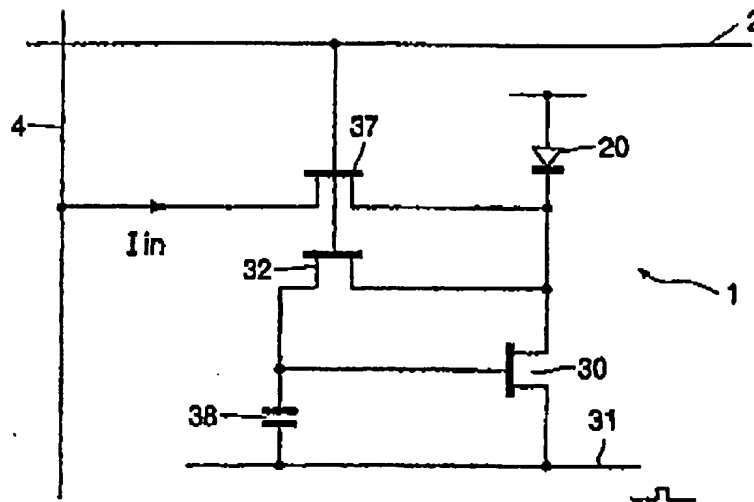


FIG. 14

(33)

特表2003-529805

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Int. Appl. No. PCT/EP 01/02231
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G G05F H05B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Question of document, with indication, where appropriate, of the relevant passages	Relevance to claim no.
A	EP 0 766 221 A (PIONEER ELECTRONIC CORP) 2 April 1997 (1997-04-02) column 3, line 47 -column 5, line 28	1,8
A	US 5 952 789 A (IPRI ALFRED CHARLES ET AL) 14 September 1999 (1999-09-14) column 3, line 8 -column 7, line 9	1,8,9
<input type="checkbox"/> Further documents are filed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the closest state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may raise doubts on priority claim(s) or which is cited to establish the priority date of another claim or other specific feature (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance the claimed invention cannot be considered novel or cannot be considered to improve an inventive step when the document is taken alone "Y" document of particular relevance the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 6 July 2001		Date of mailing of the international search report 16/07/2001
Name and mailing address of the ISA European Patent Office, P.O. Box 2911 Patentstr. 2 Munich 85994 Germany Tel. (+49-89) 344-2000, Tx. 31 631 631 Fax (+49-89) 344-3016		Authorized officer Arian, D

Form PCT/ISA/210 (Revised) July 1999

(34)

特表2003-529805

INTERNATIONAL SEARCH REPORT				International Application No. PCT/EP 01/02231	
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 0766221	A	02-04-1997	JP	9097925	08-04-1997
			DE	69605516 D	13-01-2000
			DE	69605516 T	04-05-2000
			US	5793163	11-08-1998
US 5952789	A	14-09-1999	JP	10319908	04-12-1998

Form PCT/ISA/210 (patent family annex) (July 2002)

(35)

特表2003-529805

フロントページの続き

(72)発明者 ニール シー バード

オランダ国 5656 アーアー アインドー

フェン プロフ ホルストラーン 6

Fターム(参考) 5C080 AA06 BB05 DD05 DD28 EE28

FF11 GG07 GG08 JJ02 JJ03

JJ04

THIS PAGE LEFT BLANK

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.